

日本特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日
Date of Application: 2002年 9月18日

出願番号
Application Number: 特願2002-271807

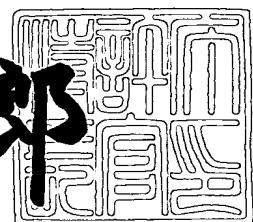
[ST.10/C]: [JP2002-271807]

出願人
Applicant(s): エヌイーシーマイクロシステム株式会社

2003年 4月18日

特許庁長官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3028429

【書類名】 特許願

【整理番号】 01211756

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 29/786

H01L 27/12

【発明者】

【住所又は居所】 神奈川県川崎市中原区小杉町一丁目403番53号 エヌイーシーマイクロシステム株式会社内

【氏名】 加藤 利和

【特許出願人】

【識別番号】 000232036

【氏名又は名称】 エヌイーシーマイクロシステム株式会社

【代理人】

【識別番号】 100082935

【弁理士】

【氏名又は名称】 京本 直樹

【電話番号】 03-3454-1111

【選任した代理人】

【識別番号】 100082924

【弁理士】

【氏名又は名称】 福田 修一

【電話番号】 03-3454-1111

【選任した代理人】

【識別番号】 100085268

【弁理士】

【氏名又は名称】 河合 信明

【電話番号】 03-3454-1111

【手数料の表示】

【予納台帳番号】 021566

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9114180

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置および半導体装置の製造方法

【特許請求の範囲】

【請求項1】 半導体基体内に埋め込まれて延びる低抵抗の埋め込み配線層を有すると共にこの埋め込み配線層にそれが接触しながら互いに離間して形成された複数の素子領域を有し、各素子領域に回路素子が形成されていることを特徴とする半導体装置。

【請求項2】 前記複数の素子領域から離間され且つ前記埋め込み配線層に接して設けられた半導体領域を更に有し、この半導体領域に所定電位が供給されている請求項1記載の半導体装置。

【請求項3】 前記埋め込み配線層は半導体基板上に絶縁層を介して形成されるとともに当該絶縁層の一部に設けられた開口を介して前記半導体基板に電気的に接続され、前記半導体基板に所定電位が供給されている請求項1記載の半導体装置。

【請求項4】 前記回路素子はトランジスタであり、このトランジスタは前記素子領域をチャネル領域としてソースおよびドレイン領域を有し、これらソースおよびドレイン領域の各々と前記埋め込み配線層との間に前記チャネル領域が介在している請求項1乃至3のいずれかに記載の半導体装置。

【請求項5】 前記回路素子はトランジスタであり、このトランジスタは前記素子領域をチャネル領域としてソースおよびドレイン領域を有し、これらソースおよびドレイン領域の一方と前記埋め込み配線層との間に前記チャネル領域が介在しており、前記ソースおよびドレイン領域の他方は前記埋め込み配線層に電気的に接続している請求項1乃至3のいずれかに記載の半導体装置。

【請求項6】 前記回路素子はトランジスタであり、このトランジスタは前記素子領域をチャネル領域としてソースおよびドレイン領域を有し、前記素子領域はその底面部の一部を除いて絶縁層により囲まれており、前記ソースおよびドレイン領域は前記絶縁層に接して形成されている請求項1乃至3のいずれかに記載の半導体装置。

【請求項7】 それが半導体基体内に埋め込まれ且つ互いに離間して延

びる第1および第2の低抵抗の埋め込み配線層を有すると共にこれら第1及び第2の埋め込み配線層にそれぞれ接触して形成された第1及び第2の素子領域を有し、これら第1及び第2の素子領域に回路素子がそれぞれ形成され、さらに第1及び第2の埋め込み配線層に互いに異なる電位が供給されていることを特徴とする半導体装置。

【請求項8】 前記第1及び第2の素子領域から離間され且つ前記第1及び第2の埋め込み配線層に接して設けられた第1及び第2の半導体領域を更に有し、これら第1及び第2の半導体領域に互いに異なる電位が供給されている請求項7記載の半導体装置。

【請求項9】 前記第1及び第2の素子領域から離間され且つ前記第1の埋め込み配線層に接して設けられた第1の半導体領域を更に有し、前記第1及び第2の埋め込み配線層は半導体基板上に絶縁層を介して形成されるとともに前記第2の埋め込み配線層は当該絶縁層の一部に設けられた開口を介して前記半導体基板に電気的に接続され、前記第1の半導体領域に前記第1の埋め込み配線層のための電位が供給され、前記半導体基板に前記第2の埋め込み配線層のための電位が供給されている請求項7記載の半導体装置。

【請求項10】 第1の半導体基板、第1の酸化膜層、半導体層からなるS〇I基板を形成する工程と、

前記S〇I基板の分離ボリュームで分離された半導体層に、M〇Sトランジスタを形成する工程と、

前記S〇I基板の半導体基板を削り、前記第1の絶縁層が露出するまで研磨する工程と、

前記第1の絶縁膜の一部を除去し、前記半導体層が露出するようにする工程と、

前記第1の絶縁膜および前記半導体層に接するように第1の金属を堆積する工程と、

前記第1の金属をパターンニングし第1の金属配線を形成する工程と、

前記第1の金属配線および第1の絶縁膜を覆うように絶縁膜を堆積した後、前記第1の金属配線が露出するまで、研磨する工程と、

第2の半導体基板の表面を酸化し、第2の金属を堆積する工程と、
前記第2の金属をパターンニングし第2の金属配線を形成する工程と、
前記第2の金属配線を覆うように絶縁膜を堆積した後、前記第2の金属配線が露出するまで、研磨する工程と、
前記第1の金属配線と前記第2の金属配線が接するように前記S O I 基板と前記第2の半導体基板を貼り合せる工程と、
貼り合せた前記S O I 基板と前記第2の半導体基板を熱処理し、前記第1の金属配線と前記第2の金属配線が溶融するようにする工程と、
を有することを特徴とする半導体装置の製造方法。

【請求項11】 前記S O I 基板を形成する工程が、
前記第1の半導体基板と第3の半導体基板の表面を酸化し、酸化された面を貼り合せる工程と、
前記第3の半導体基板を研磨して半導体層を形成する工程とからなることを特徴とする請求項10記載の半導体装置の製造方法。

【請求項12】 前記S O I 基板を形成する工程が、
前記第1の半導体基板への酸素イオン注入により前記第1の酸化膜層を形成する工程であることを特徴とする請求項10記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置およびその製造方法に関し、特に、絶縁層上に設けられた半導体層に回路素子を形成した所謂S O I (Silicon On Insulator)型の半導体装置およびその製造方法に関する。

【0002】

【従来の技術】

SOI型半導体装置は、トランジスタのような回路素子が形成される半導体領域を絶縁層にて取り囲んだ構造を基本とするものであり、接合容量等が低減され高速動作が可能となる。

【0003】

要求される論理機能等の回路動作を実現するためには、回路素子間を配線層により結線する必要があり、さらには動作電圧を与えるために電源（通常、正または負電位と接地電位）配線を施す必要がある。電源配線は、かなりの電流が流れまた多数の回路素子間に渡って結線する必要性からその占有面積がかなり大きくなり、信号配線等の他の配線のレイアウトに制限を与える。

【0004】

そこで、例えば、特許文献1には、導電性スタッドを用いて、電源配線を簡素化した技術が開示されている。すなわち、図10に示すように、半導体基板1の上に形成された絶縁層2によって半導体層3が囲われており、この半導体層3をチャネル領域としてMOSトランジスタのソース領域4およびドレイン領域5が形成されている。さらに、チャネル領域上には、ゲート絶縁膜6を介してゲート電極7が形成され、ドレイン領域5は、層間絶縁膜9中につくられたコンタクトホールを埋める導電体8を介して配線10に接続されている。さらに、層間絶縁膜9、ソース領域4、半導体層3および絶縁層2を貫通して半導体基板1に達する導電性スタッド11が設けられている。この導電性スタッド11によりソース領域4、チャネル領域3および基板1が電気的に接続されている。このような構造を取ることにより、MOS型トランジスタ12を形成するソース領域4およびチャネル領域を含む半導体層3を、半導体基板1の電位に固定できるので、半導体基板1を電源電位あるいは接地電位の供給源として用いることができる。

【0005】

【特許文献1】

特開平10-209468号公報

【0006】

【発明が解決しようとする課題】

しかしながら、この技術では、ソース領域4とチャネル領域3とが同電位を取るトランジスタにしか採用できない。例えばトランスファゲートを構成するトランジスタでは、ソース／ドレイン領域とチャネル領域とを別電位にする必要があるが、この要請には図10の導電性スタッド構造では対処できない。

【0007】

また、MOSデバイスはCMOS構造が主流であるが、そのようなデバイスでは、電源配線としては正（又は負）電位を与えるための第1の電源配線と接地電位を与えるための第2の電源配線との2種類が必要である。図10の構造ではそれら2種類の電源配線の一方しか対応できない。

【0008】

【課題を解決するための手段】

本発明に係る半導体装置は、基体内に埋め込まれて延びる低抵抗配線層を有すると共にこの埋め込み配線層にそれが接触しながら互いに離間して形成された複数の素子領域を有し、各素子領域に回路素子が形成されていることを特徴としている。上記埋め込み配線層としては金属を用いるのが好ましい。

【0009】

斯かる構造によれば、埋め込み配線層を基板電位を供給用の電源配線とすることができ、基体の表面上に設ける電源配線をその分簡素化できる。また、回路素子としてのトランジスタのソースとチャネルとが独立しているので、上述したトランスマッピングとしてのトランジスタにも適応できる。

【0010】

回路構成上、基板電位とソース（ドレイン）電位とを同じにする場合は、ソース（ドレイン）領域を埋め込み配線層に達するように深く形成すればよい。この深く形成する手法は、埋め込み拡散領域やイオン注入技術で対処できる。

【0011】

更に本発明によれば、それが基体内に埋め込まれ且つ互いに離間して延びる第1および第2の低抵抗の埋め込み配線層を有すると共にこれら第1及び第2の埋め込み配線層にそれ接觸して形成された第1及び第2の素子領域を有し、これら第1及び第2の素子領域に回路素子がそれぞれ形成され、さらに第1及び第2の埋め込み配線層に互いに異なる電源電位が供給されていることを特徴とする半導体装置が得られる。

【0012】

斯かる構成によれば、第1および第2の素子領域にはそれぞれ互いに異なる導電チャネル型のトランジスタを形成することができ、CMOSデバイスにも対応

できる。

【0013】

さらに、本発明によれば、次の工程を有する半導体装置の製造方法が得られる。すなわち、第1の半導体基板、第1の酸化膜層、半導体層からなるS O I 基板を形成する工程と、前記S O I 基板の分離ボリュームで分離された半導体層に、M O S トランジスタを形成する工程と、前記S O I 基板の半導体基板を削り、前記第1の絶縁層が露出するまで研磨する工程と、前記第1の絶縁膜の一部を除去し、前記半導体層が露出するようにする工程と、前記第1の絶縁膜および前記半導体層に接するように第1の金属を堆積する工程と、前記第1の金属をパターンニングし第1の金属配線を形成する工程と、前記第1の金属配線および第1の絶縁膜を覆うように絶縁膜を堆積した後、前記第1の金属配線が露出するまで、研磨する工程と、第2の半導体基板の表面を酸化し、第2の金属を堆積する工程と、前記第2の金属をパターンニングし第2の金属配線を形成する工程と、前記第2の金属配線を覆うように絶縁膜を堆積した後、前記第2の金属配線が露出するまで、研磨する工程と、前記第1の金属配線と前記第2の金属配線が接するように前記S O I 基板と前記第2の半導体基板を貼り合せる工程と、貼り合せた前記S O I 基板と前記第2の半導体基板を熱処理し、前記第1の金属配線と前記第2の金属配線が溶融するようにする工程と、を有している。このようにすることで、S O I 基板に形成されたM O S トランジスタと、第2の半導体基板との間に金属配線が形成され、配線の占める面積の低減された、小型のデバイスを形成することができる。

【0014】

斯かる製造方法においては、前記S O I 基板を形成する工程が、前記第1の半導体基板と第3の半導体基板の表面を酸化し、酸化された面を貼り合せる工程と、前記第3の半導体基板を研磨して半導体層を形成する工程とからなることが好ましい。このことにより、本発明に用いる、S O I 基板を作成することができる。

【0015】

また、前記S O I 基板を、前記第1の半導体基板への酸素のイオン注入により前記第1の酸化膜層を形成する工程を含んで形成することが好適である。この

ことにより、本発明に用いるS O I 基板を簡便に作成することができる。

【0016】

【発明の実施の形態】

以下に、本発明の実施の形態について、図面を用いて説明する。

【0017】

（第1の実施の形態）

図1は、本発明の第1の実施の形態を示し、同図（a）はその平面図を、同図（b）は、図1（a）のA-A'断面図をそれぞれ示す。

【0018】

本半導体装置は、半導体基板としてのシリコン基板27、その上に形成された絶縁層28、その上に形成された低抵抗配線としての金属層13、及びその上に設けられ絶縁層24により互いに分離して形成された複数の島状半導体領域14を有している。このように、本装置はシリコン基板27を含む半導体基体内に埋め込まれて延びる金属配線層13を有すると共に、この埋め込み金属層13にそれぞれが接触し且つ絶縁層24により互いに絶縁離間して形成された複数の素子領域14（図では3つのみ示している）を有している。

【0019】

そして、各素子領域14には回路素子が形成されている。本実施形態では、回路としてNチャネルMOSトランジスタが形成されている。すなわち、素子領域14をP型のチャネル領域としてN型のソース及びドレイン領域17が形成され、これら領域の間にはゲート絶縁膜6を介してゲート電極7が形成されている。また、図1（b）の右端の島状領域14は金属配線層13の電極取りだし領域として設けられている。

【0020】

半導体基体の表面は絶縁層18により覆われている。この絶縁層18には、各領域の電極形成のためのコンタクトホール8が設けられ、配線層10がコンタクトホール8を介して半導体領域と接触して形成されている。また、埋め込み金属配線層13の電極取り出し領域としての半導体領域14のために設けられたコンタクトホール8は金属等の導電体で埋められ、さらにパッド電極15が設けられ

てその上にバンプ電極16が形成されている。

【0021】

本装置がパッケージ等に組み込まれて通電が行われると、接地電位としての電源電圧がバンプ電極16を介して埋め込み金属配線層13に供給され、その結果、金属層13に接する全ての島状領域にはMOSトランジスタのチャネル電位としての接地電位が供給される。一方、各MOSトランジスタのソース及び／又はドレイン領域は、所望の回路に従って結線される。この結線の中には、表面絶縁層18上に形成される電源電位配線（図示せず）との接続が含まれる。

【0022】

かくして、本装置では、各MOSトランジスタの基板電位供給のための配線層のデバイス表面上での形成が不要となり、他の配線の設計に自由度が増大する。しかも、基板電位とソース／ドレイン電位を別々に設けることができ、様々な回路構成に対応できる。

【0023】

図2乃至図4は、図1に示した本発明の第1の実施例を製造するための製造工程を示す断面図である。まず、図2(a)に示すように、2枚の半導体基板1, 20の上面を各々酸化し、酸化膜層19, 21を形成する。次に、図2(b)に示すように、各々の酸化層19, 21同士を貼り合せる。次に、図2(c)に示すように、半導体基板3を、酸化膜層2と酸化膜層4を貼り合せて形成した酸化膜層22に達しない深さで所望の厚みだけ研磨し、図2(d)に示すようなSOI基板23を形成する。また、SOI基板23は、2枚の半導体基板を貼り合せるのではなく、酸素をイオン注入することによって酸化膜層22を形成することによっても作成することができる。

【0024】

次に、図3(a)に示すように、素子を形成する部分を除いて、エッチングを行い、CVDで酸化膜を埋め込み、平坦化を行って、分離ボリューム24を形成する。さらに、図3(b)に示すように、ゲート絶縁膜6およびゲート電極7を作成した後、イオン注入を行ってソース・ドレイン領域17を形成し、さらに、層間絶縁膜25を堆積させてコンタクトホール8を形成し、コンタクトホール8

上に上層金属配線10およびパッド15を形成する。

【0025】

次に、図3(c)に示すように、基板1および酸化膜層22を途中まで研磨除去し、図3(d)に示すように、半導体層14の直下の酸化膜層22のみをエッティング除去する。

【0026】

さらに、図4(a)に示すように、半導体層14および酸化膜層22に第1のアルミニウム金属膜26を堆積させてパターンを形成し、さらに酸化膜(図示せず)を堆積させて平坦化を行う。また、図4(b)に示すように、さらに別の半導体基板27に分離酸化膜28を堆積させて第2のアルミニウム金属膜29を堆積させてパターンを形成し、さらに酸化膜(図示せず)を堆積させて平坦化を行う。最後に、図4(a)で形成した第1のアルミニウム金属膜26と図4(c)で形成した第2のアルミニウム金属膜29を貼り合せ、アルミニウムの融点である660℃程度でアニールを実施後、パッド15上にバンプ16を形成することにより、図4(d)に示すように、アルミニウムで形成された下層金属配線13を有する半導体デバイスが完成する。

【0027】

なお、本実施例は、N型チャネルMOSトランジスタのチャネル領域に電源電位を供給する場合について、構造および製造方法を記載したが、P型チャネルMOSトランジスタのチャネル領域に接地電位を供給する場合についても同様に適用できる。

【0028】

(第2の実施の形態)

図5は、本発明に係る第2の実施の形態を示す図面である。なお、図1と同一の構成部材は同一参照数字で示し、その説明を省略する。更には、図5では、図1における一つのMOSトランジスタのみを示していることに注意されたい。

【0029】

図1の装置では半導体層14の下面全面で下層金属配線13と接続されているのに対して、本装置では、ソース・ドレインのコンタクトホール8に対応した位

置に、第1の下層配線コンタクト30が設けられている点である。このような構造を取ることにより、第1の下層配線コンタクト30を形成する際に、コンタクトホール8を形成するときのマスクを用いることができ、新たにマスクを作成する必要がなくなりマスク作成のコストを削減することができる。

【0030】

(第3の実施の形態)

図6は、本発明に係る第3の実施の形態を示す図面である。本実施形態でも、一つのMOSトランジスタのみを示している。また、本デバイスはMOSトランジスタのチャネルとソースとを同一の電位にすることが要求されるものに対応するものである。すなわち、本MOSトランジスタでは、ソース領域4の下方にソース領域と同一導電型の深部不純物領域31が設けられている。この領域31は埋め込み金属配線層13に接して形成され、この結果、ソース領域4も埋め込み配線層13を介して基板電位（接地電位）を受けることとなる。領域31はN型であり、チャネル領域14とPN接合を形成するので、埋め込み配線層13は領域31と14とに跨って、すなわち、PN接合を短絡するように形成されている。なお、本デバイスでは、絶縁層14がゲート部分にまで延在形成されており、その分不要な接合容量等を低減しているが、図1のように形成しても構わない。

【0031】

(第4の実施の形態)

図7は、本発明に係る第4の実施の形態を示し、(a)は平面図を、(b)は図(a)のB-B'線に沿った断面図をそれぞれ示している。

【0032】

本デバイスはCMOS構成に対処したものである。すなわち、半導体基体内に、2種類の埋め込み低抵抗配線層としての金属配線34及び36が埋め込まれている。金属配線層34には一方の電源電位としての接地電位が供給され、複数のN型チャネルMOSトランジスタ33の各々にチャネル電位を供給すべく設けられている。金属配線層36は他方の電源電位としての正電位が供給され、複数のP型チャネルMOSトランジスタ35の各々にチャネル電位を供給すべく設けられている。これら接地電位下層金属配線34および電源電位下層金属配線36に

は、半導体層14、コンタクトホール8を介してパッド15に接続されており、パッド15上には、バンプ16が形成されている。

【0033】

かくして、CMOS構成として必要とされる2種類のチャネル電位のための2種類の電源電位配線をデバイス表面上に形成することなく設けることが出来る。

【0034】

なお、各MOSトランジスタ33、35の構成は図1(b)と実質同一であるが、必要であれば、図5や図6のようにしてもよい。

【0035】

(第5の実施の形態)

図8は、本発明に係る第5の実施の形態を示す図面である。本デバイスは、半導体(シリコン)基板27を電位供給媒体として積極的に活用したものである。すなわち、N型チャネルMOSトランジスタ33は、接地電位下層金属配線34、半導体層14、コンタクトホール8、を介して配線10に接続され、上層金属配線10より電源電位が供給される。図8のようにバンプ電極構造を用いても構わない。一方、P型チャネルMOSトランジスタ35は、電源電位下層金属配線36、半導体基板コンタクト37を介して半導体基板1に接続され、半導体基板1より電源電位が供給される。

【0036】

かくして、電源配線は更に簡素化される。もちろん、N型チャネルMOSトランジスタに半導体基板1から接地電位を供給し、P型チャネルMOSトランジスタに配線10より電源電位を供給しても良い。

【0037】

(第6の実施の形態)

図9は、本発明に係る第6の実施の形態を示す図面である。図9に示すように、第6の実施の形態では、ソース・ドレイン領域17が半導体層14の下面に接するように形成され、また、下層金属配線13は、第3の下層配線コンタクト38を介して、半導体層14とのみ接続されている。このような構造をとることにより、半導体層14に溜まったチャージを逃がしつつ、ソース・ドレイン領域1

7の接合容量を低減することができる。この第6の実施の形態は、第1乃至第5のいずれの実施の形態にも適用することができる。なお、図6に示すように基板電位とソース電位とを同一にする場合は、コンタクト38の形成位置をずらすだけで対応できる。

【0038】

【発明の効果】

このように、本発明に係る半導体装置では、MOSトランジスタよりも基板側に配線を設けて、電位を供給しているので、電源配線や設置配線の占める面積を小さく抑えることができ、半導体装置を小型化することができる。

【図面の簡単な説明】

【図1】

本発明に係る第1の実施の形態を示す図面である。

【図2】

本発明に係る第1の実施の形態の製造方法を示す図面である。

【図3】

本発明に係る第1の実施の形態の製造方法を示す図面である。

【図4】

本発明に係る第1の実施の形態の製造方法を示す図面である。

【図5】

本発明に係る第2の実施の形態を示す図面である。

【図6】

本発明に係る第3の実施の形態を示す図面である。

【図7】

本発明に係る第4の実施の形態を示す図面である。

【図8】

本発明に係る第5の実施の形態を示す図面である。

【図9】

本発明に係る第6の実施の形態を示す図面である。

【図10】

本発明の従来技術を示す図面である。

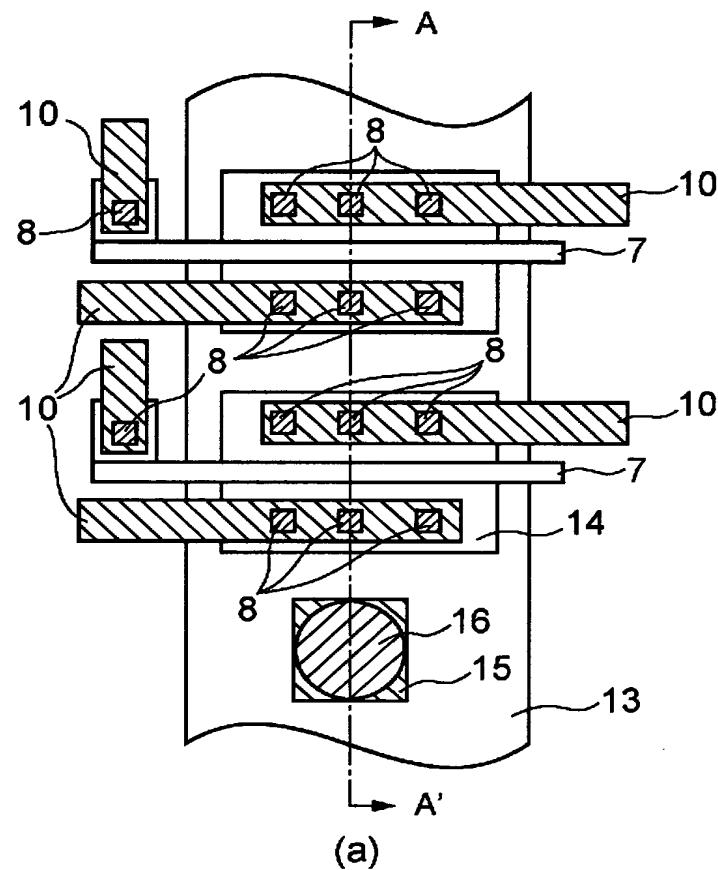
【符号の説明】

- 1、20、27 半導体基板
- 2 絶縁層
- 3 半導体層
- 4 ソース領域
- 5 ドレイン領域
- 6 ゲート酸化膜
- 7 ゲート電極
- 8 コンタクトホール
- 9、25 層間絶縁膜
- 10 上層金属配線
- 11 導電性スタッド
- 12 MOS型トランジスタ
- 13 金属層、金属配線層、下層金属配線
- 14 半導体領域、素子領域、半導体層
- 15 パッド
- 16 バンプ
- 17 ソース・ドレイン領域
- 18 層間絶縁膜
- 19、21、22 酸化膜層
- 23 SOI基板
- 24 分離ボリューム
- 26 第1のアルミニウム金属膜
- 28 分離酸化膜
- 29 第2のアルミニウム金属膜
- 30 第1の下層配線コンタクト
- 31 深部不純物拡散領域
- 32 第2の下層配線コンタクト

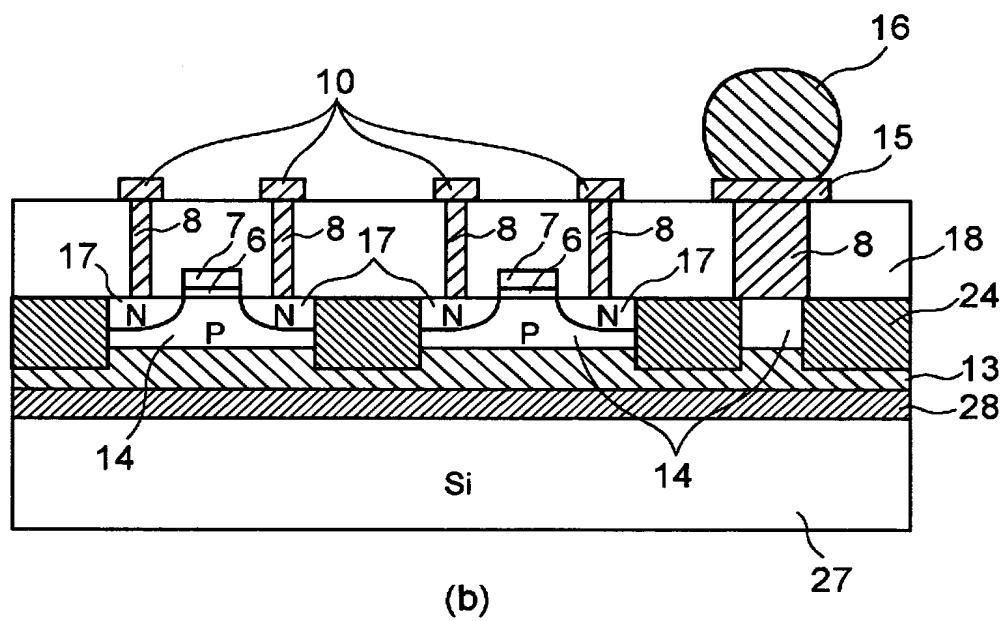
- 3 3 N型MOSトランジスタ
- 3 4 接地電位下層金属配線
- 3 5 P型MOSトランジスタ
- 3 6 電源電位下層金属配線
- 3 7 半導体基板コンタクト
- 3 8 第3の下層配線コンタクト

【書類名】 図面

【図1】

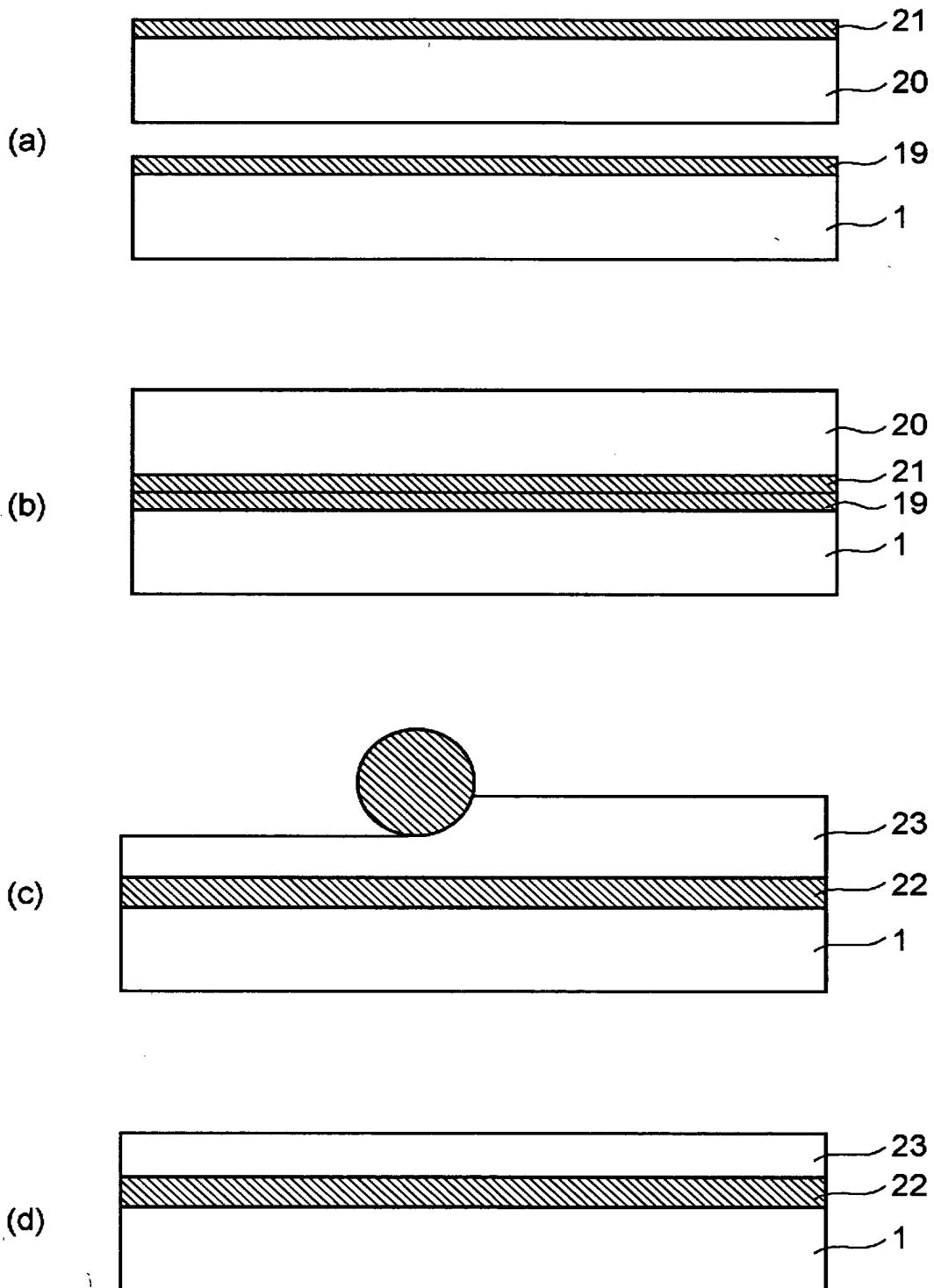


(a)

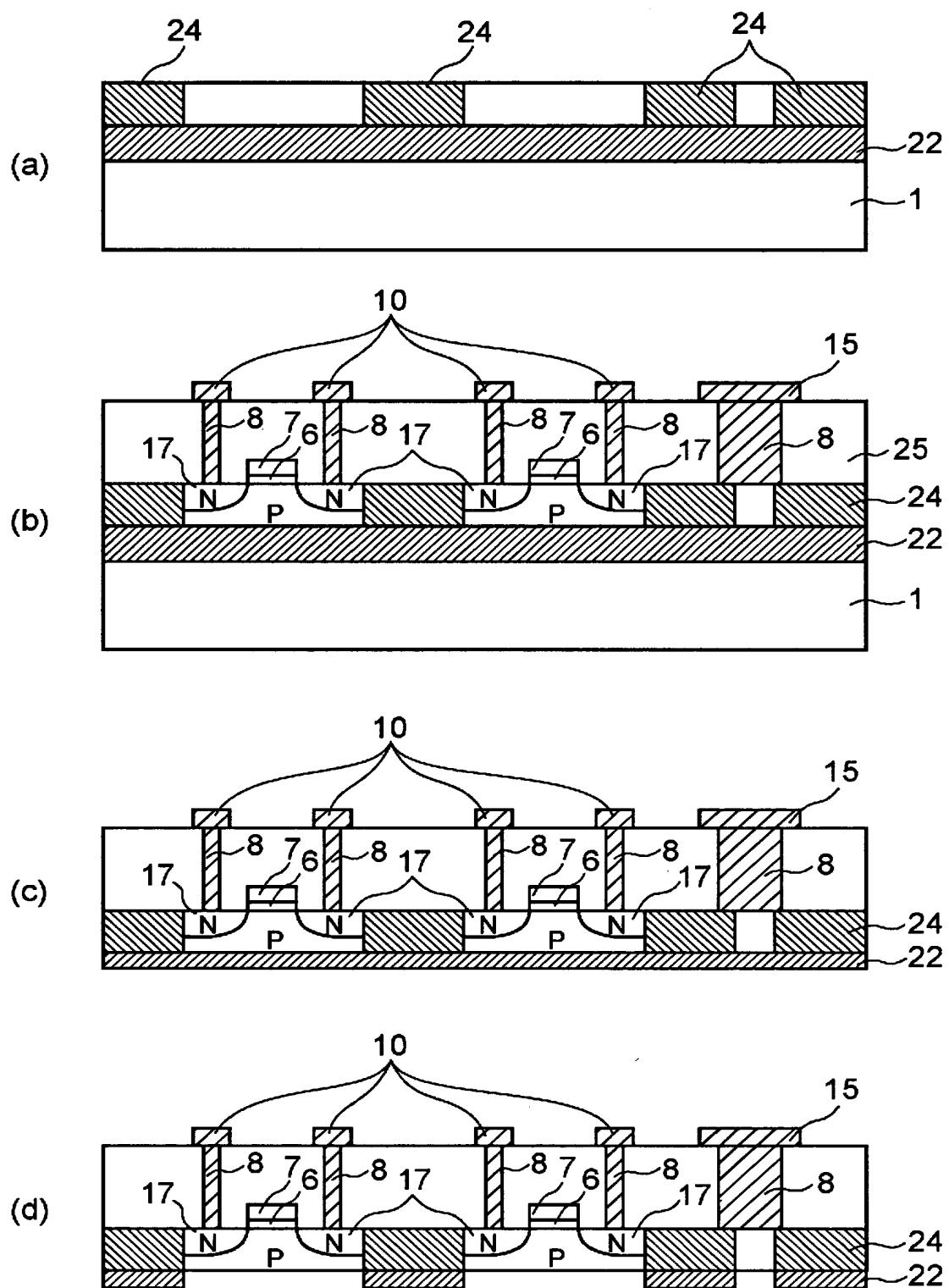


(b)

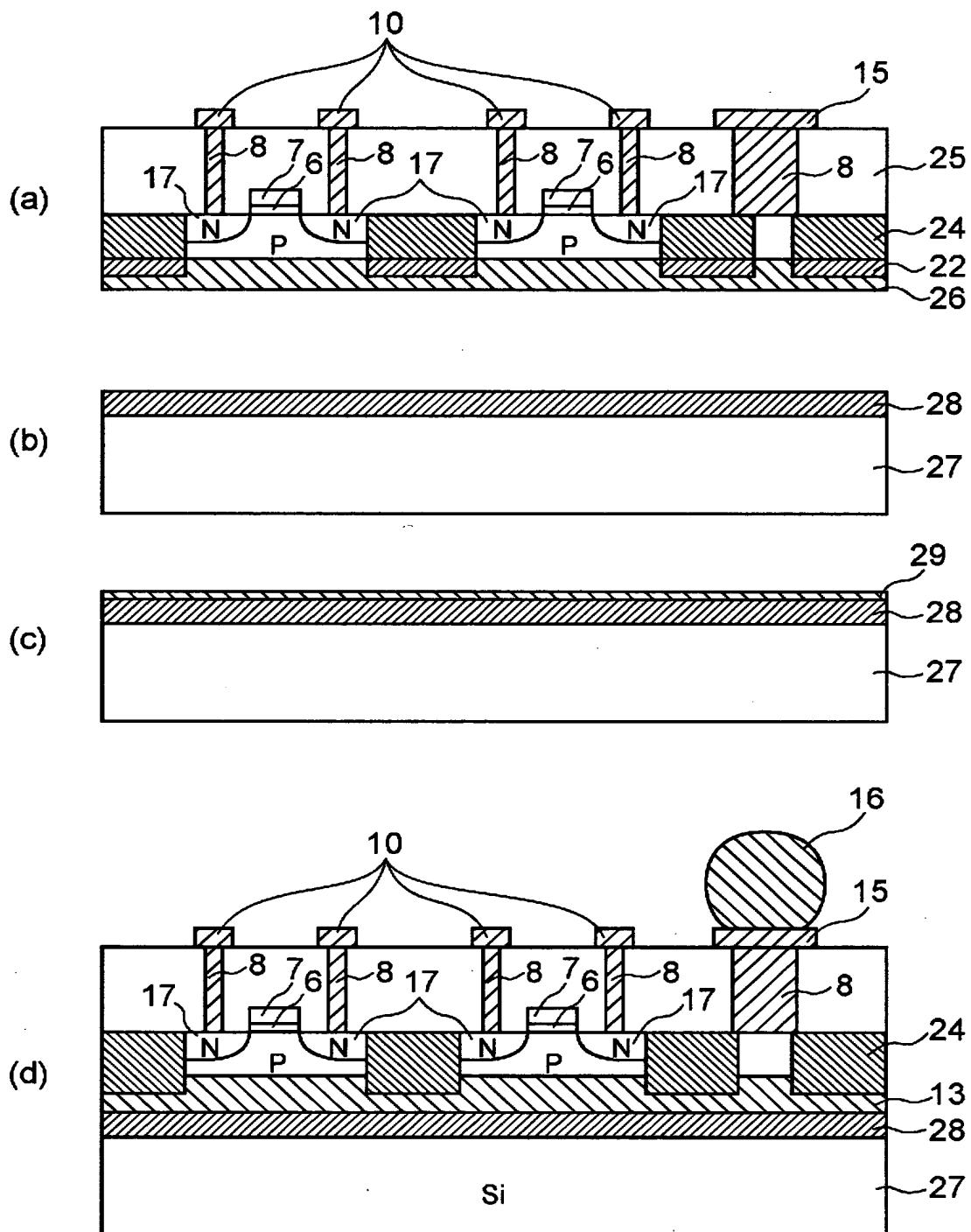
【図2】



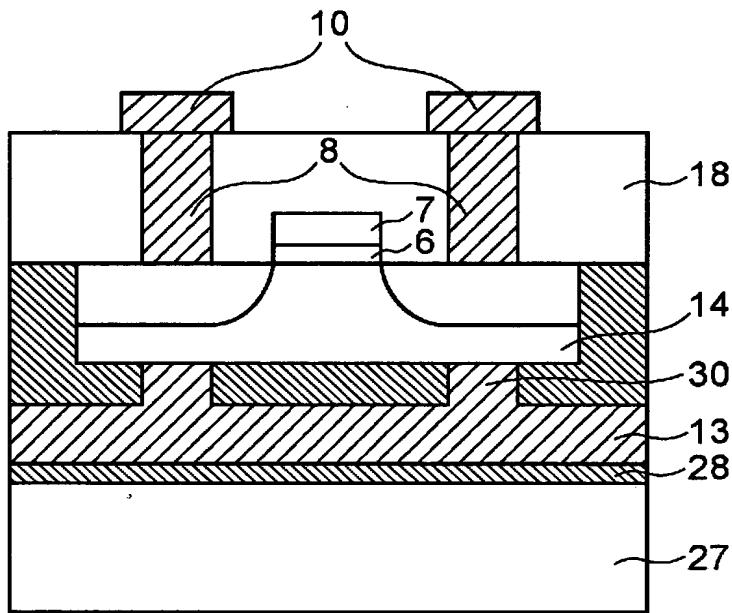
【図3】



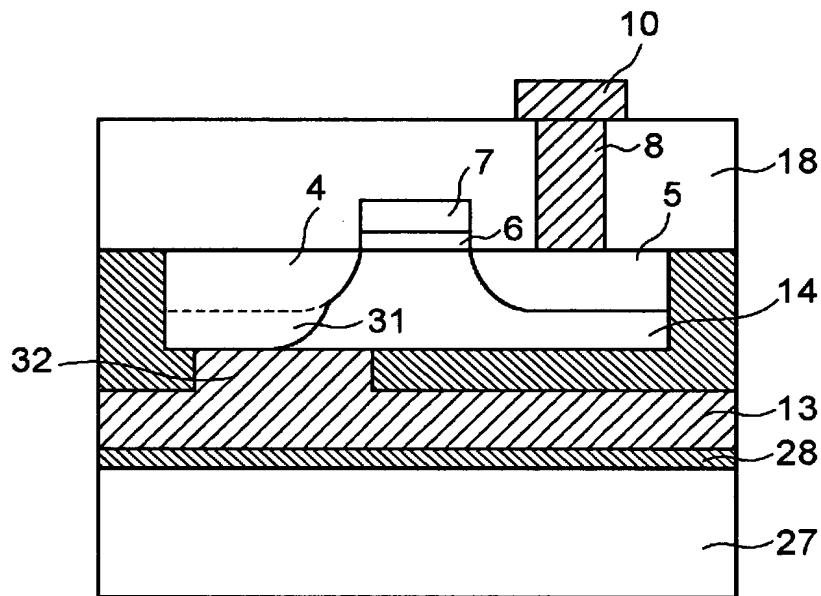
【図4】



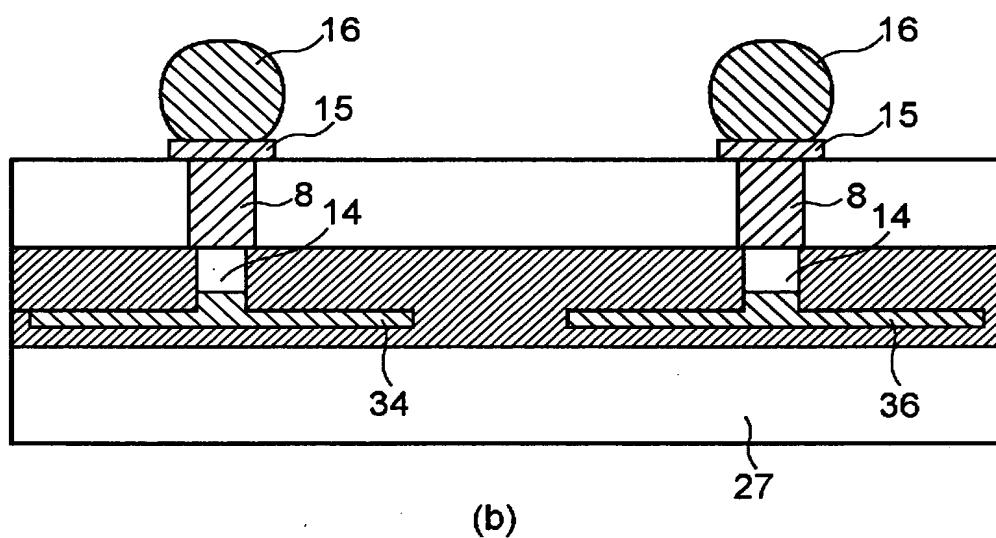
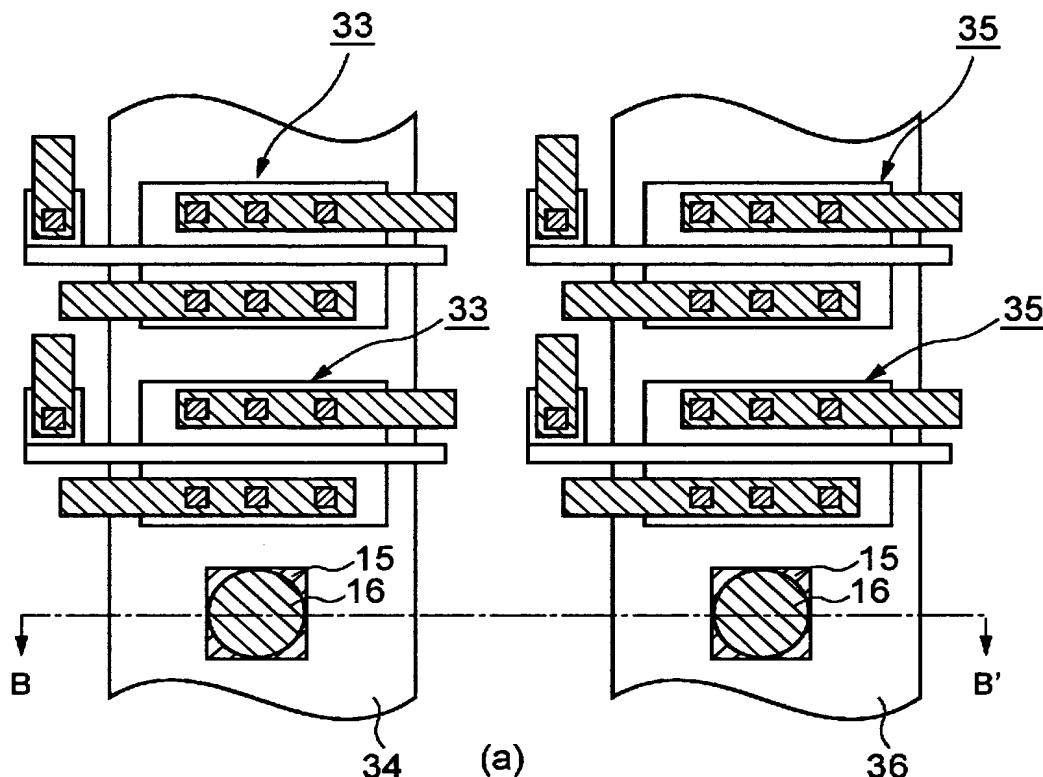
【図5】



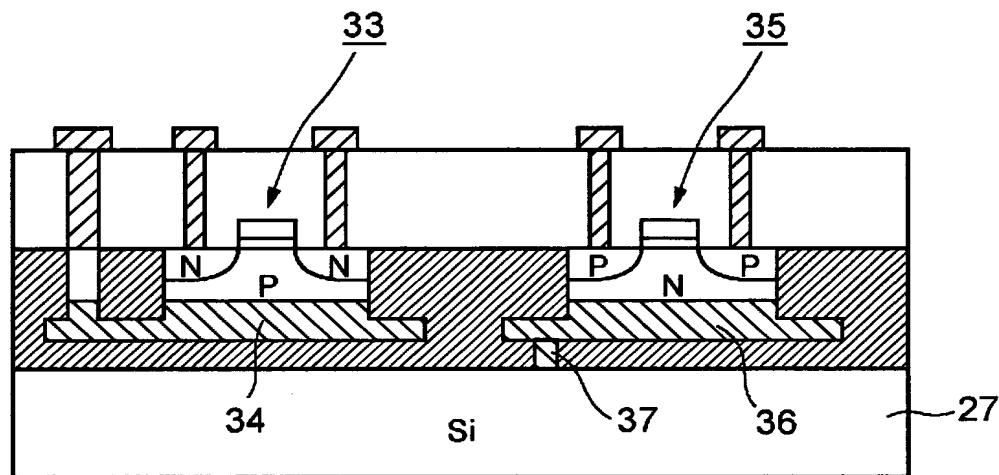
【図6】



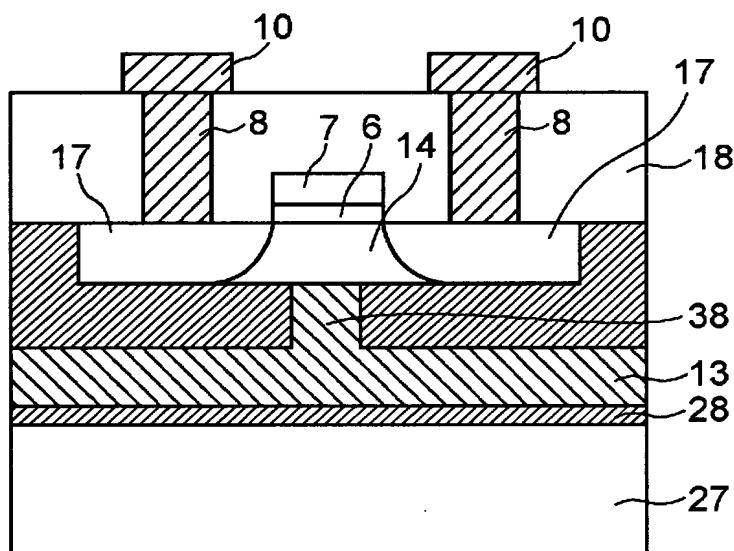
【図7】



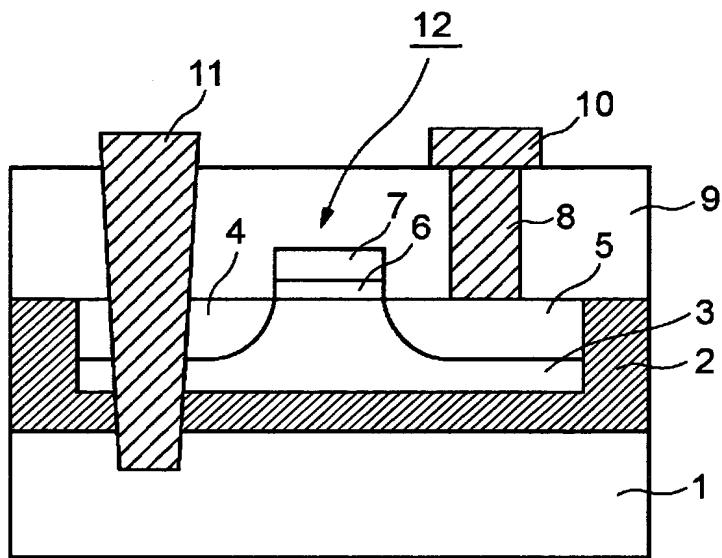
【図8】



【図9】



【図10】



【書類名】 要約書

【要約】

【課題】 ソース／ドレイン領域とチャネル領域とを別電位にするトランジスタに対応できない。2種類の電源配線の一方にしか対応できない。

【解決手段】 基体内に埋め込まれて延びる低抵抗配線層13を有すると共にこの埋め込み配線層にそれぞれが接触しながら互いに離間して形成された複数の素子領域14を有する。各素子領域に回路素子が形成されている。上記埋め込み配線層としては金属を用いるのが好ましい。

【選択図】 図1

認定・付加情報

特許出願の番号	特願2002-271807
受付番号	50201396741
書類名	特許願
担当官	第五担当上席 0094
作成日	平成14年 9月19日

＜認定情報・付加情報＞

【提出日】 平成14年 9月18日

次頁無

出願人履歴情報

識別番号 [000232036]

1. 変更年月日 2001年 5月21日

[変更理由] 名称変更

住 所 神奈川県川崎市中原区小杉町1丁目403番53
氏 名 エヌイーシーマイクロシステム株式会社